

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204530

(43)Date of publication of application : 09.08.1996

(51)Int.Cl. H03K 17/687
H03K 17/693
H04B 1/40

(21)Application number : 07-027309 (71)Applicant : SONY CORP

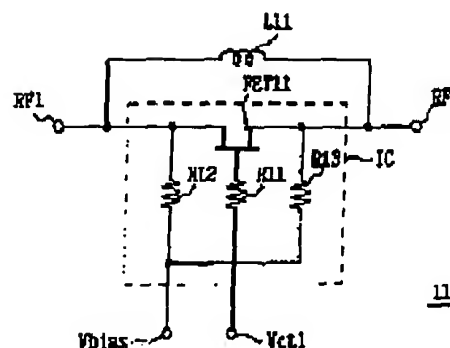
(22)Date of filing : 23.01.1995 (72)Inventor : KOHAMA KAZUMASA
KITAKUBO KAZUTO

(54) SWITCH CIRCUIT

(57)Abstract:

PURPOSE: To secure low insertion loss and isolation at a desired frequency at the same time by connecting an external inductor in parallel between a drain and a source of a field effect transistor built in a switching integrated circuit.

CONSTITUTION: An SPST switch 11 is made up of an IC and an inductor L11 connected in parallel with a signal line in the IC and an external inductor L11 is mounted to the IC. A drain terminal, a source terminal of a FET11, a gate bias resistor R11, bias resistors R12, R13 are connected respectively to terminals RF1, RF2, VCT1, Vbias provided to the outside of the IC. Since the external inductor L11 is connected in parallel between the drain and source, even when the gate width of the FET is increased to attain a low insertion loss, the off-capacitance between the drain and source of the FET and the inductance of the inductor L11 are resonated at a desired frequency.



LEGAL STATUS

[Date of request for examination] 07.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-204530

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
H03K 17/687				
17/693		A 9184-5K		
H04B 1/40				
		9184-5K	H03K 17/687	G

審査請求 未請求 請求項の数9 FD (全9頁)

(21)出願番号 特願平7-27309

(22)出願日 平成7年(1995)1月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小浜 一正

東京都品川区北品川6丁目7番35号ソニー株式会社内

(72)発明者 北久保 和人

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 スイッチ回路

(57)【要約】

【目的】本発明は低挿入損失とアイソレーションを所望の周波数において同時に確保できるスイッチ回路を実現する。

【構成】スイッチ用集積回路に内蔵されている電界効果トランジスタのドレイン-ソース間に対して並列にインダクタを外部接続し、当該インダクタと電界効果トランジスタのオフ容量とを並列共振させる。このときインダクタンスを調整することにより所望の周波数において低挿入損失と十分なアイソレーションを同時に確保する。

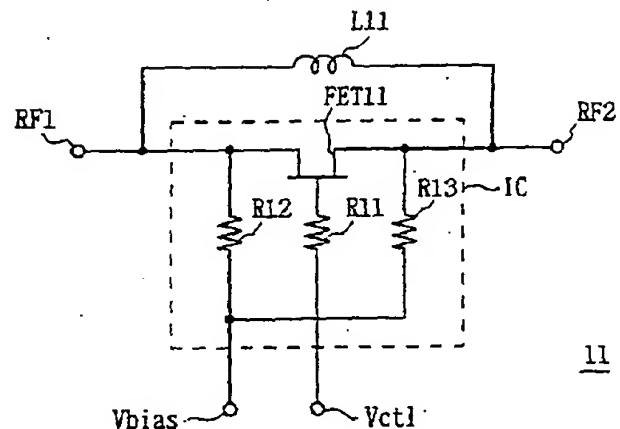


図1 SPSTスイッチの構成

【特許請求の範囲】

【請求項 1】ドレインソース間を信号通路とする電界効果トランジスタと、上記電界効果トランジスタのゲート端子に接続された高インピーダンス素子と、上記電界効果トランジスタのドレイン端子およびソース端子に接続される第 1 及び第 2 の入出力端子とを備えるスイッチ用集積回路と、

上記スイッチ用集積回路の外部に設けられ、上記第 1 及び第 2 の入出力端子間を接続するインダクタとを具えることを特徴とするスイッチ回路。

【請求項 2】第 1、第 2 及び第 3 の入出力端子と、上記第 1 及び第 2 の入出力端子にドレイン端子及びソース端子が接続された第 1 の電界効果トランジスタと、上記第 1 及び第 3 の入出力端子にドレイン端子及びソース端子が接続された第 2 の電界効果トランジスタと、上記第 1 及び第 2 の電界効果トランジスタのゲート端子に接続された第 1 及び第 2 の高インピーダンス素子とを備えるスイッチ用集積回路と、

上記スイッチ用集積回路の外部に設けられ、上記第 1 の入出力端子と上記第 2 の入出力端子間及び上記第 1 の入出力端子と上記第 3 の入出力端子間を接続する第 1 及び第 2 のインダクタと、

を具えることを特徴とするスイッチ回路。

【請求項 3】上記スイッチ用集積回路の外部に設けられ、上記第 2 及び第 3 の入出力端子間を接続する第 3 のインダクタとを具えることを特徴とする請求項 2 に記載のスイッチ回路。

【請求項 4】第 1、第 2、第 3 及び第 4 の入出力端子と、上記第 1 及び第 2 の入出力端子にドレイン端子及びソース端子が接続された第 1 の電界効果トランジスタと、上記第 2 及び第 3 の入出力端子にドレイン端子及びソース端子が接続された第 2 の電界効果トランジスタと、上記第 3 及び第 4 の入出力端子にドレイン端子及びソース端子が接続された第 3 の電界効果トランジスタと、上記第 4 及び第 1 の入出力端子にドレイン端子及びソース端子が接続された第 4 の電界効果トランジスタと、上記第 1、第 2、第 3 及び第 4 の電界効果トランジスタにおけるそれぞれのゲート端子に接続された第 1、第 2、第 3 及び第 4 の高インピーダンス素子とを備えるスイッチ用集積回路と、

上記スイッチ用集積回路の外部に設けられ、上記第 1 の入出力端子と上記第 2 の入出力端子の間、上記第 2 の入出力端子と上記第 3 の入出力端子の間、上記第 3 の入出力端子と上記第 4 の入出力端子の間、上記第 4 の入出力端子と上記第 1 の入出力端子の間をそれぞれ接続する第 1、第 2、第 3 及び第 4 のインダクタとを具えることを特徴とするスイッチ回路。

【請求項 5】上記入出力端子のうち上記スイッチ用集積回路の内部、又は、外部の一部若しくは全部には上記電界効果トランジスタのドレイン端子及びソース端子に所

定の直流バイアスを印加するための高インピーダンス素子が接続されていることを特徴とする請求項 1、請求項 2 又は請求項 4 に記載のスイッチ回路。

【請求項 6】上記スイッチ用集積回路は、上記電界効果トランジスタのスイッチング制御に用いる制御端子、上記電界効果トランジスタのドレイン端子及びソース端子に所定のバイアスを印加するバイアス端子、又は直流若しくは交流用のグランド端子の一部又は全部を具えることを特徴とする請求項 1、請求項 2 又は請求項 4 に記載のスイッチ回路。

【請求項 7】上記電界効果トランジスタはマルチゲート電界効果トランジスタであることを特徴とする請求項 1、請求項 2 又は請求項 4 に記載のスイッチ回路。

【請求項 8】上記電界効果トランジスタの部分に直列に複数段の電界効果トランジスタを接続したことを特徴とする請求項 1、請求項 2 又は請求項 4 に記載のスイッチ回路。

【請求項 9】上記電界効果トランジスタは接合型電界効果トランジスタであることを特徴とする請求項 1、請求項 2 又は請求項 4 に記載のスイッチ回路。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術（図 10）

発明が解決しようとする課題（図 11 及び図 12）

課題を解決するための手段（図 1、図 3 及び図 5）

作用

実施例（図 1～図 9）

(1) 第 1 の実施例（図 1 及び図 2）

(1-1) 基本構成（図 1）

(1-2) 応用例（図 2）

(2) 第 2 の実施例（図 3 及び図 4）

(2-1) 基本構成（図 3）

(2-2) 応用例（図 4）

(3) 第 3 の実施例（図 5 及び図 6）

(3-1) 基本構成（図 5）

(3-2) 応用例（図 6～図 9）

(4) 他の実施例

40 発明の効果

【0002】

【産業上の利用分野】本発明はスイッチ回路に関し、特に高周波信号の入出力を切り替えるものに適用して好適なものである。

【0003】

【従来の技術】現在、自動車電話や携帯電話等の移動体通信システムがビジネスとして大きく発展してきている。ところで都市部では通信回路の不足が深刻になってきており、各国で様々な移動体通信システムの実用化が進められている。これらの通信システムではアナログ通

信方式でなくデジタル通信方式が多くの場合採用されており、また通信帯域も現在の移動体通信システムより高周波側の準マイクロ波帯が使用されている。

【0004】そして準マイクロ波帯の信号を送受するこれら通信システムでは携帯端末の信号処理部に半導体電界効果トランジスタ(FET)が多くの場合用いられている。特に携帯性が重視される携帯端末の場合、小型化、低電圧駆動化、および低消費電力化を実現できるGaAsFETを使用したモノリシック・マイクロウェーブIC(以下、MMIC(Monolithic Microwave IC))というの開発が重要視されている。中でも携帯端末内で高周波信号を切り替える高周波スイッチがキーデバイスの1つとなつてきている。

【0005】さて昨今運用が開始され始めている移動体通信システムでは前述のようにデジタル方式が多く採用されている。中でもTDMA(Time Division Multiple Access)方式が用いられる場合が多い。このTDMA方式は通信帯域を所定の時間単位ごとに分割し、分割された時間を送信、受信又は他の回線のいずれかに振り分ける通信方式である。従つて端末側では送信と受信が同時に行われないように、アンテナ端子を送信部(Tx)又は受信部(Rx)に切り替えるスイッチ回路が用いられる場合が多い。

【0006】このような通信端末装置の例を図10に示す。このスイッチ回路SWにおける送信信号W1又は受信信号W2のロスが大きいと信号の品質が劣化してしまう。この劣化を避けるにはロス分だけ信号パワーを増加させなければならない。従つてスイッチ回路SWでの損失はできるだけ小さい方が望ましい。また送信信号W1が受信側に多量に漏れると受信部3のデバイスが破壊される可能性がある。また送信部4と受信部3とのアイソレーションが十分でないと信号が歪む原因にもなる。従つて送信部3と受信部4は十分なアイソレーションをとる必要がある。このようにスイッチ回路SWには優れた高周波特性と、高速切り替え速度が要求されるためGaAsFETがスイッチングデバイスとして用いられる場合が多い。

【0007】FETをスイッチングデバイスとして用いる場合、FETのピンチオフ電圧より十分高いゲートバイアスを印加してドレインソース間を低インピーダンス化することによりFETをオン状態に制御し、逆にFETのピンチオフ電圧より低いゲートバイアスを印加してドレインソース間を高インピーダンス化することによりFETをオフ状態に制御する。

【0008】現在市販されているGaAsFETの場合、オン状態のときドレインソース間に接続された抵抗成分と近似でき、またオフ状態のときドレインソース間接続された容量成分と近似できる。このときFETの抵抗値及び容量値はそれぞれ、FETのゲート幅(Wg)当たり数(Ω/mm)及び数百(fF/mm)とできる。

例えば抵抗Ronは2(Ω/mm)、容量Coffは300(fF/mm)となる。

【0009】

【発明が解決しようとする課題】ところでこのようなFETを単独に用いて準マイクロ波信号をスイッチングする場合、損失を十分抑えると、十分なアイソレーションを取ることができない。また十分なアイソレーションを確保すると、損失が大きくなってしまふ。すなわち十分小さな挿入損失を実現するためには、FETのゲート幅をある程度増加させてオン抵抗を減少させる必要があるが、一方でゲート幅を増加させるとオフ時のドレインソース間容量が増加するためアイソレーションが悪化するおそれがある。

【0010】このためマイクロ波信号をスイッチングする場合には、図11(A)に示すように、信号経路に対してシリーズの位置にFET1を配置し、さらに信号経路とグラウンドとの間のシャントの位置にFET2を配置する場合が多い。例えば信号帯域が2(GHz)の場合、シリーズの位置に配置された1個のGaAsFETとシャントの位置に配置された1個のGaAsFETでなるスイッチ回路によつて容易に1(dB)以下の挿入損失と20(dB)以上のアイソレーションを確保できる。

【0011】ところで図11(A)のようにシャントの位置にFETを配置する場合には、シャントFETはグラウンドに接続されるので、図11(B)のようにFETを容量等によりDC的に分離しない限り、FETのドレイン領域及びソース領域はDC的には0(V)となる。さて一般にGaAsFETを十分にオフするためには、ゲートバイアスをドレイン領域及びソース領域に対して負にバイアスしなければならない。

【0012】従つてFETを制御するためには負電源が必要となる。しかしこのようなスイッチ回路を上述のセルラーや携帯電話の端末に用いると、負電源はDC-DCコンバータ等を必要とするため、コスト、サイズ及び消費電力の面で好ましくない。そこで負電源を使用しないための工夫が現在、GaAsモノリシックマイクロウェーブIC(以下、MMIC(Monolithic Microwave IC))においてなされている。このICの場合、チップ内のシャントFETとグラウンドの間に容量を設け、スイッチ回路中のFETをDC的にグラウンドより分離している。しかしこの場合、DCカット用に設けた容量は準マイクロ波領域ではサイズのかなり大きくなってしまふ。従つて安価なICを作るという点で不利になる。

【0013】またSPDT(Single Pole Dual Throw)スイッチ回路等のようにFETによつて信号を複数ヶ所に切り替えるスイッチ回路の場合にはアイソレーションの大きさを無視したとしても挿入損失をある一定の値以下にはできない問題がある。これを図12のSPDTスイッチ回路で説明する。例えばRF1-RF2間がオン状態のとき(FET1がオン状態であり、FET2がオ

5

フ状態)、オフ状態にあるFET2のオフ容量 C_{ds} を介してRF1-RF2間を通過する信号が漏れるため挿入損失が劣化する。

【0014】従ってFET1及びFET2のゲート幅を同じにした場合には、ゲート幅を増加させてオン状態にあるFETのオン抵抗を減少させ、オン状態にあるFETの信号損失を減少させても、オフ状態にあるFETのオフ容量 C_{ds} が増加してオフ状態のFETより漏れる信号が増すため、ある一定以下には挿入損失は下がらなくなる。このためFETを用いて信号を複数方向に切り替える図12のようなスイッチ回路では(オンオフスイッチであるSPST (Single Pole Single Throw) スイッチ以外は)、挿入損失を低下させる面でも限界があった。

【0015】本発明は以上の点を考慮してなされたもので、所望の周波数のマイクロ波信号を低挿入損失、かつ高アイソレーションでスイッチングすることができるスイッチ回路を提案しようとするものである。

【0016】

【課題を解決するための手段】かかる課題を解決するため本発明においては、ドレイン-ソース間を信号通路とする電界効果トランジスタ(FET11)と、電界効果トランジスタ(FET11)のゲート端子に接続された高インピーダンス素子(R11)と、電界効果トランジスタ(FET11)のドレイン端子およびソース端子に接続される第1及び第2の入出力端子(RF1及びRF2)とを備えるスイッチ用集積回路(IC)と、スイッチ用集積回路(IC)の外部に設けられ、第1及び第2の入出力端子間(RF1及びRF2間)を接続するインダクタ(L11)とによってスイッチ回路を構成する。

【0017】また本発明においては、第1、第2及び第3の入出力端子(RF1)、(RF2)、(RF3)と、第1及び第2の入出力端子(RF1及びRF2)にドレイン端子及びソース端子が接続された第1の電界効果トランジスタ(FET21)と、第1及び第3の入出力端子(RF1及びRF3)にドレイン端子及びソース端子が接続された第2の電界効果トランジスタ(FET22)と、第1及び第2の電界効果トランジスタ(FET21及びFET22)のゲート端子に接続された第1及び第2の高インピーダンス素子(R21及びR22)とを備えるスイッチ用集積回路(IC)と、スイッチ用集積回路(IC)の外部に設けられ、第1の入出力端子(RF1)と第2の入出力端子(RF2)間及び第1の入出力端子(RF1)と第3の入出力端子(RF3)間を接続する第1及び第2のインダクタ(L21)、(L22)とによってスイッチ回路を構成する。

【0018】さらに本発明においては、第1、第2、第3及び第4の入出力端子(RF1、RF2、RF3、RF4)と、第1及び第2の入出力端子(RF1及びRF2)にドレイン端子及びソース端子が接続された第1の

6

電界効果トランジスタ(FET31)と、第2及び第3の入出力端子(RF2及びRF3)にドレイン端子及びソース端子が接続された第2の電界効果トランジスタ(FET32)と、第3及び第4の入出力端子(RF3及びRF4)にドレイン端子及びソース端子が接続された第3の電界効果トランジスタ(FET33)と、第4及び第1の入出力端子(RF4及びRF1)にドレイン端子及びソース端子が接続された第4の電界効果トランジスタ(FET34)と、第1、第2、第3及び第4の電界効果トランジスタ(FET31~FET34)におけるそれぞれのゲート端子に接続された第1、第2、第3及び第4の高インピーダンス素子(R31~R34)とを備えるスイッチ用集積回路(IC)と、スイッチ用集積回路(IC)の外部に設けられ、第1の入出力端子(RF1)と第2の入出力端子(RF2)の間、第2の入出力端子(RF2)と第3の入出力端子(RF3)の間、第3の入出力端子(RF3)と第4の入出力端子(RF4)の間、第4の入出力端子(RF4)と第1の入出力端子(RF1)の間をそれぞれ接続する第1、第2、第3及び第4のインダクタ(L31~L34)とによって構成する。

【0019】

【作用】低挿入損失になるように電界効果トランジスタ(FET)のゲート幅を増加させた場合でも、電界効果トランジスタ(FET)のドレイン-ソース間に対して並列に外部接続されたインダクタ(2)と当該電界効果トランジスタ(FET)のオフ容量とによって所望の周波数に並列共振させることにより、十分なアイソレーションを確保することができる。

【0020】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0021】(1)第1の実施例

(1-1)基本構成

図1にSPST (Single Pole Single Throw) スイッチ11を示す。このSPSTスイッチ11は集積回路(IC)と、集積回路(IC)内の信号線路に対して並列接続されたインダクタL11とによってなり、インダクタL11を集積回路に対して外付けしたことを特徴としている。ここで集積回路(IC)は信号経路に対してシリーズの位置に配置されたFET11と、そのゲート端子に接続された抵抗R11と、ドレイン端子及びソース端子に接続されたバイアス用の抵抗R12及びR13とによって構成されている。

【0022】図にFET11のドレイン端子、ソース端子、ゲートバイアス抵抗R11、バイアス抵抗R12及びR13はそれぞれIC外部に設けられた端子RF1、RF2、V_{ctrl}、V_{bias}に接続されている。さて「従来の技術」の項においても述べたように、FET単体では良好な挿入損失とアイソレーションの両立は一般に難し

い。

【0023】しかしこのSPSTスイッチ11の場合、インダクタL11がドレインソース間に対して並行に外付けされているため、低挿入損失になるようにFETのゲート幅を増加させた場合でもFETのドレインソース間に存在するオフ容量 C_{off} と外付けインダクタL11のインダクタンスとを所望の周波数で並列共振させることができる。これによりSPSTスイッチ11を用いれば低挿入損失でありながら十分なアイソレーションを確保できることが分かる。

【0024】またこのSPSTスイッチ11の場合、シヤントFETとグラウンド間に容量を取り込むスイッチ(図11(B))に比べてシヤントFETと容量の面積だけチップサイズを小さく抑えることができる。これにより製造コストを低下させることができる。またインダクタL11が外付けであるため所望の周波数に合わせてインダクタンスを選べるので汎用性も向上できる。

【0025】さらにインダクタL11をICチップ内部に取り込むことも考えられるが、外付けの場合には内蔵する場合に比してインダクタL11の面積だけチップサイズを小さくできるためコストを下げるができる。またIC構成としたことにより、同様の回路をディスクリット部品で構成する場合に比して小型化と、低コスト化を実現できる。さらにこの場合、バイアス線等が単純な構成となるため性能を高めることも容易である。

【0026】(1-2) 応用例

次にこのSPSTスイッチ11をTDMA通信方式用のアンテナスイッチ回路として応用する場合の回路構成を図2に示す。この例では共振周波数を送信周波数とするSPSTスイッチ11をアンテナ2及び送信部12間に配置するものとする。またアンテナ2及び受信部13間に、送信周波数の1/4波長の分布定数線路14と受信周波数のバンドパスフィルタ15を配置している。これによりアンテナ2及び受信部13間は送信周波数に対して十分なアイソレーションが得られると共に、受信周波数の信号を導通し得る状態に制御できる回路構成となっている。

【0027】以上の構成において、通信端末装置16の送受信動作を説明する。まず送信時、SPSTスイッチ11がオン状態となる。このときアンテナ2及び受信部13間は送信周波数に対して十分なアイソレーションが確保されているので、アンテナ2は送信部12に接続される。逆に受信時、SPSTスイッチ11はオフ状態となる。このときアンテナ2及び送信部12間は受信周波数に対して十分なアイソレーションが確保されているのに対してアンテナ2及び受信部13間は導通状態となるので、アンテナ2は受信部13に接続される。

【0028】以上のようにSPSTスイッチ11をTDMA通信用スイッチに用いれば、小さな挿入損失と高アイソレーションを実現しながらアンテナ2と送受信部間

を交互に切り替えることができる通話特性に優れた小型、かつ安価な通信端末装置16を得ることができる。

【0029】(2) 第2の実施例

(2-1) 基本構成

次に第1の実施例と同じ原理を用いて構成したSPDT(Single Pole Dual Throw)スイッチ21を図3に示す。このSPDTスイッチ21の場合も、IC内のFET21及びFET22のドレインソース間のオフ容量 C_{off} と外付けインダクタL21及びL22とを並列共振させ、十分な低挿入損失とアイソレーションを確保する。

【0030】また「従来の技術」でも述べたように、図12のような回路ではアイソレーションを無視して挿入損失を下げようとしても限界があつたが、図3の回路では理想的にはFETのゲート幅をいくら大きくしても外付けインダクタL21及びL22によりオフ状態の信号線路のアイソレーションが確保できるため(すなわち信号線路からの信号の漏れを抑えられる)、図12のような回路に比べ低挿入損失化を実現できる。

【0031】(2-2) 応用例

次にこの構成のSPDTスイッチ21をTDMA通信方式用のアンテナスイッチ回路として応用する場合の回路構成を図4に示す。このようにSPDTスイッチ21をTDMA通信用スイッチに用いれば、小さな挿入損失と高アイソレーションを実現しながらアンテナ2と送受信部間を交互に切り替えることができる通話特性に優れた小型、かつ安価な通信端末装置24を得ることができる。

【0032】(3) 第3の実施例

(3-1) 基本構成

最後に第1の実施例と同じ原理を用いて構成したDPDT(Dual Pole Dual Throw)スイッチ31を図5に示す。このDPDTスイッチ31の場合にも、IC内のFET31~FET34のドレインソース間のオフ容量 C_{off} と外付けインダクタL31~L34とを並列共振させ、十分な低挿入損失とアイソレーションを確保する。

【0033】またこのように信号線路に対して他の信号線路が複数ヶ所接続された回路の場合(この場合は2ヶ所)、図3の場合より挿入損失の劣化の防止に有効である。すなわち並列共振を用いない場合、オフ状態のFETの個数が増えるため(信号が漏れる原因の寄生容量が増加するため)、挿入損失の劣化が図3の場合より大きくなる。そこで並列共振を用いれば、理想的にはオフ状態のFETからの信号漏れがなくなるため、SPST型スイッチと同等の挿入損失を得ることができる。

【0034】(3-2) 応用例

次にこの構成のDPDTスイッチ31をTDMA通信方式用のアンテナスイッチ回路として応用する場合の回路構成を図6に示す。この例では端末に内部アンテナ2A

と外部アンテナ2Bが設けられており、それぞれを送信部32及び受信部33に切り替えるようになっている。このようにDPDTスイッチ31をTDMA通信用スイッチに用いれば、小さな挿入損失と高アイソレーションを実現しながらアンテナ2A及び2Bと送受信部間を切り替えることができる通話特性に優れた小型、かつ安価な通信端末装置34を得ることができる。

【0035】次に通信端末装置34による効果の実例を示す。また図7にシヤントFETを用いてアイソレーションを確保したスイッチ回路の回路図を示す。図8及び図9では図5の回路で共振用の外付けインダクタを用いた場合、用いない場合、さらに図7のシヤントFETを用いた場合のそれぞれについて、挿入損失とアイソレーションの周波数特性のシミュレーション結果を示している。因に共振インダクタL31～L34のインダクタンスは1.5 [GHz]で共振点をもつように35 [nH]であるものとする。また全てのFET31～FET38はゲート幅1 [mm]、ゲート長0.5 [μ m]、ピンチオフ電圧-0.5 [V]のGaAs接合型FETを用いものとし、これらFET31～FET38のゲートコントロール電圧はオンバイアスが4 [V]、オフバイアスが0 [V]、バイアス V_{bias} を3 [V]とする。

【0036】図8を見れば分かるように、共振を用いない方式に比べ、図5の共振インダクタを用いた場合の挿入損失が1.5 [GHz]を中心に優れていることが分かる。またアイソレーションについても、図9のように共振インダクタを用いる場合にはアイソレーションが大幅に改善されており、1.5 [GHz]付近では、シヤントFETを用いた方式と同等以上の性能を示している。

【0037】(4)他の実施例
なお上述の実施例においては、ドレインソース間のチャネル部分を信号通路とする電界効果トランジスタのドレイン端子及びソース端子を信号入出力端に直接接続する場合について述べたが、本発明はこれに限らず、ドレイン端子及びソース端子に直流バイアスを印加するための高インピーダンス素子を接続する場合にも適用し得る。因に高インピーダンス素子はIC内部に設けても、またIC外部の一部又は全部に設けても良い。これはSPSTスイッチの場合にも、SPDTスイッチの場合にも、DPDTスイッチの場合にも適用し得る。

【0038】また上述の実施例に限らず、ICには、FETのスイッチング用制御端子、FETのドレイン及びソースのバイアス用端子、DC用又はRF用のグランド端子のいずれか1つ、又は組み合わせの端子が設けられている場合に適用し得る。

【0039】さらに上述の実施例におけるSPDTスイッチの場合、入出力端子RF1とRF2との間及びRF1とRF3との間であつてICの外部にインダクタL21及びL22を外付けする場合について述べたが、本発明はこれに限らず、入出力端子RF2及びRF3間に接

続しても良い。

【0040】さらに上述の実施例においては、シングルゲートのFETを用いる場合について述べたが、本発明はこれに限らず、デニアルゲートFET等のマルチゲートFETを用いても良い。

【0041】さらに上述の実施例においては、各入出力端子間にFETを1段接続する場合について述べたが、本発明はこれに限らず、FETを直列に多段接続する場合にも適用し得る。さらに上述の実施例においては、接合型FETを用いる場合について述べたが、本発明はこれに限らず、MESFETの場合にも適用し得る。

【0042】

【発明の効果】上述のように本発明によれば、スイッチ用集積回路に内蔵されている電界効果トランジスタのドレインソース間に対して並列にインダクタを外部接続し、当該インダクタと電界効果トランジスタのオフ容量とを並列共振させるようにしたことにより、所望の周波数において低挿入損失と十分なアイソレーションを同時に確保することができるスイッチ回路を実現することができる。

【図面の簡単な説明】

【図1】本発明によるSPSTスイッチ回路の一実施例を示す接続図である。

【図2】本発明によるSPSTスイッチ回路を用いた通信端末装置を示すブロック図である。

【図3】本発明によるSPDTスイッチ回路の一実施例を示す接続図である。

【図4】本発明によるSPDTスイッチ回路を用いた通信端末装置を示すブロック図である。

【図5】本発明によるDPDTスイッチ回路の一実施例を示す接続図である。

【図6】本発明によるDPDTスイッチ回路を用いた通信端末装置を示すブロック図である。

【図7】シヤントFETが付いたDPDTスイッチ回路の一実施例を示す接続図である。

【図8】挿入損失の周波数依存特性を示す特性曲線図である。

【図9】アイソレーションの周波数依存特性を示す特性曲線図である。

【図10】通信端末装置の説明に供するブロック図である。

【図11】従来用いられているスイッチ回路の構成を示す接続図である。

【図12】SPDTスイッチの従来構成を示す接続図である。

【符号の説明】

1、16、24、34……通信端末装置、2、2A、2B……アンテナ、3、13、23、33……受信部、4、12、22、32……送信部、5……ベースバンド信号処理部、6……スピーカ、7……マイク、11、2

11 12
1、31……スイッチ、14…… $\lambda/4$ 分布定数線路、

15……バンドパスフィルタ。

【図1】

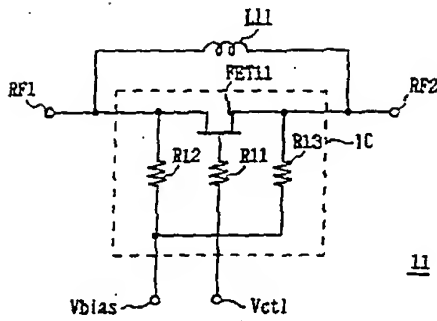


図1 SPSTスイッチの構成

【図2】

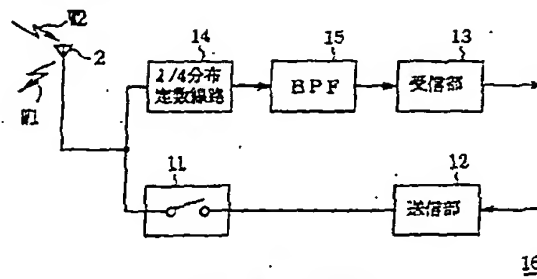


図2 通信端末装置

【図3】

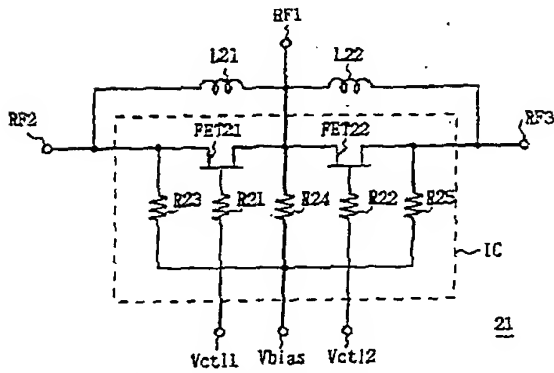


図3 SPDTスイッチの構成

【図4】

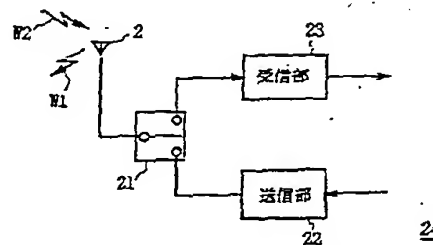


図4 通信端末装置

【図6】

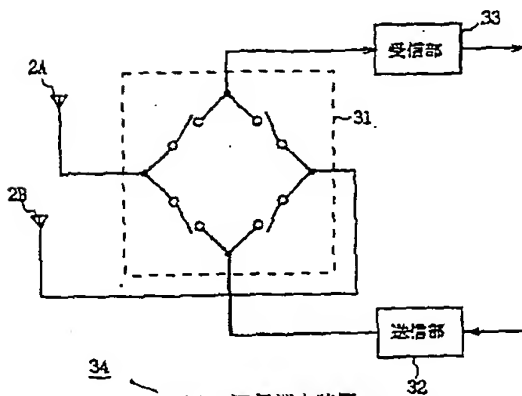


図6 通信端末装置

【図5】

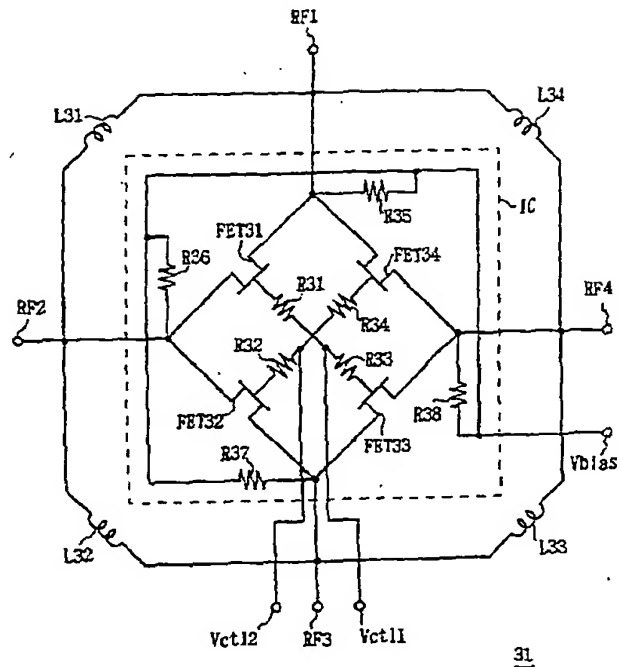


図5 DPDTスイッチの構成

【図7】

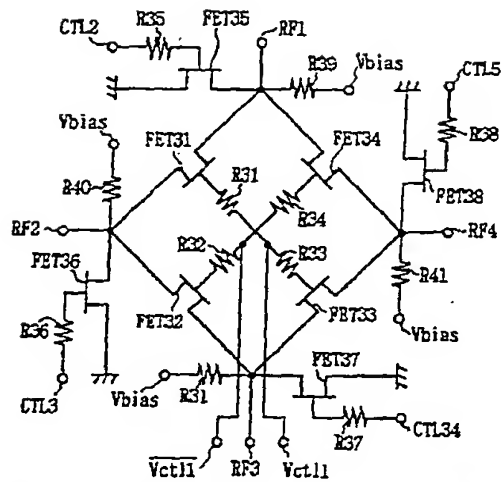


図7 シヤントFET付きDPDTスイッチの構成

【図8】

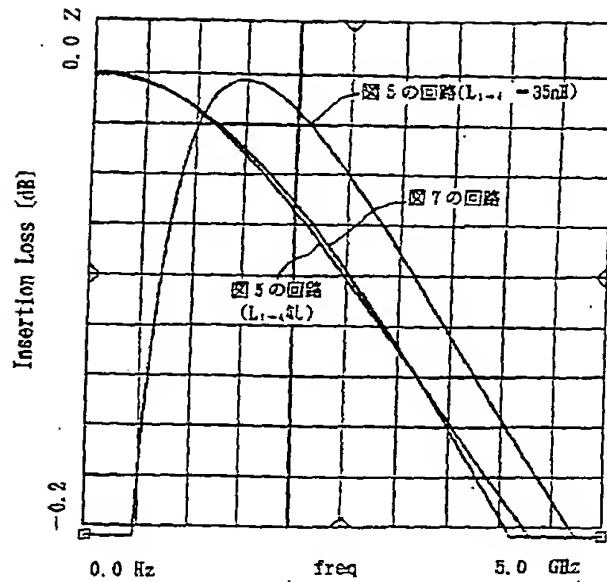


図8 挿入損失の周波数依存性

【図9】

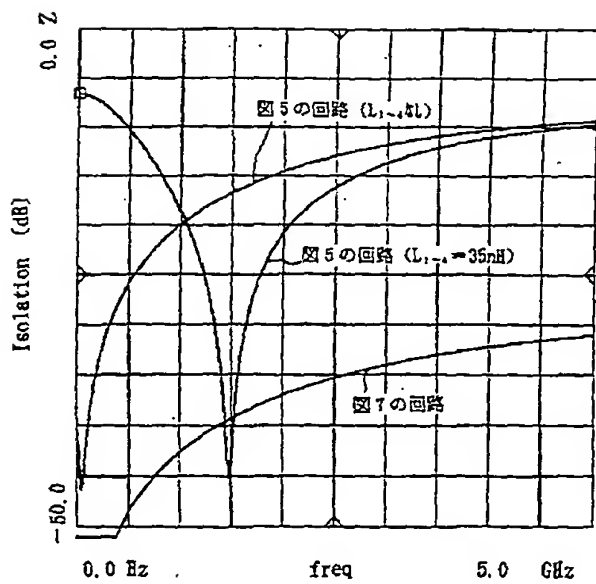


図9 アイソレーションの周波数依存性

【図10】

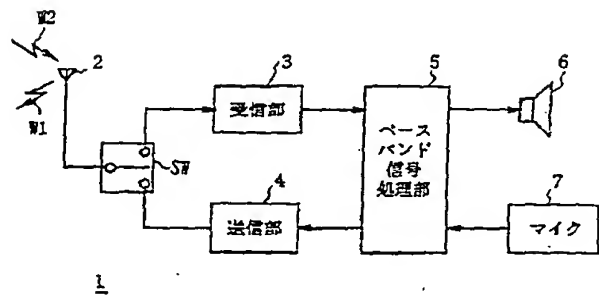


図10 通信端末装置

【図12】

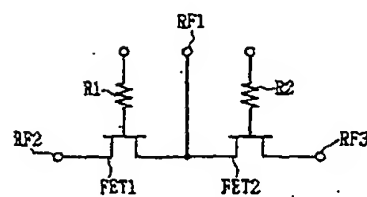


図12 SPDTスイッチ回路

【図11】

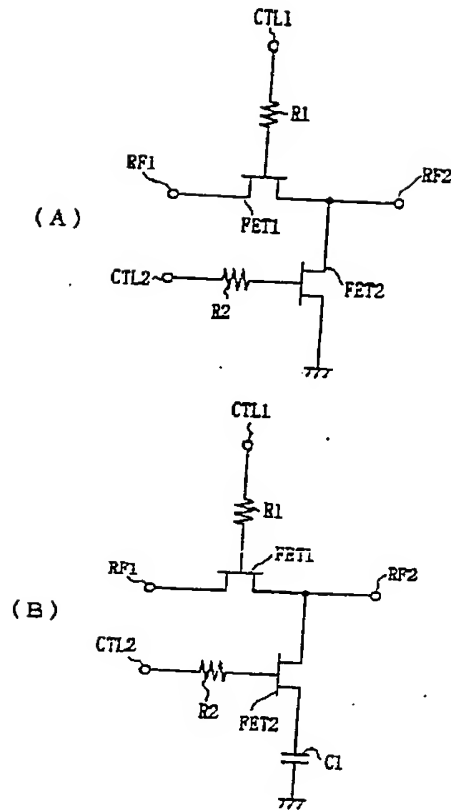


図11 スイッチ回路の従来例